

## FLAT DISPLAY DEVICE

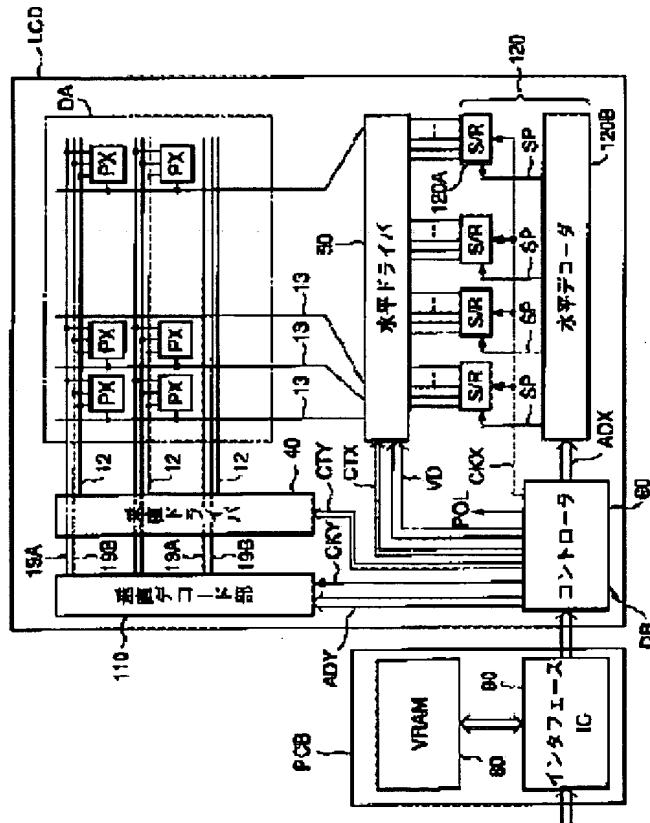
**Patent number:** JP2003099018  
**Publication date:** 2003-04-04  
**Inventor:** HANARI ATSUSHI; WATANABE MANABU  
**Applicant:** TOSHIBA CORP  
**Classification:**  
 - international: G09G3/36; G02F1/133; G09G3/20  
 - european:  
**Application number:** JP20020196161 20020704  
**Priority number(s):**

[Report a data error here](#)

### Abstract of JP2003099018

**PROBLEM TO BE SOLVED:** To update part of a display image with small power consumption.

**SOLUTION:** The flat display device is equipped with a plurality of display pixels PX having memory elements 15 respectively, a vertical decoding part 120 which selectively specifies a row block of the display pixels PX, a horizontal decoding part 110 which selectively specifies a column block of the display pixels, a video RAM 80 which holds image data allocated to the memory elements 15 of the plurality of display pixels PX, and a controller 60 which controls the operations of the vertical and horizontal decoding parts 110 and 120 so that the contents of the video RAM 80 are written to the block unit specified by the row and column blocks. This device is equipped with an interface 90 which determines a rewriting range corresponding to the display pixels of at least one block including display pixels for the part of the image data when part of the image data is altered in the video RAM 80 and supplies image data allocated to the respective blocks included in the rewriting range to the controller 60.



Data supplied from the [esp@cenet](#) database - Patent Abstracts of Japan

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-99018

(P2003-99018A)

(43)公開日 平成15年4月4日(2003.4.4)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 3 0	G 0 2 F 1/133	5 3 0 5 C 0 0 6
	5 5 0		5 5 0 5 C 0 8 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A
	6 1 2		6 1 2 P

審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く

(21)出願番号	特願2002-196161(P2002-196161)
(22)出願日	平成14年7月4日(2002.7.4)
(31)優先権主張番号	特願2001-203648(P2001-203648)
(32)優先日	平成13年7月4日(2001.7.4)
(33)優先権主張国	日本 (JP)

(71)出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(72)発明者	羽成 淳 埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝深谷工場内
(72)発明者	渡邊 学 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
(74)代理人	100058479 弁理士 錦江 武彦 (外6名)

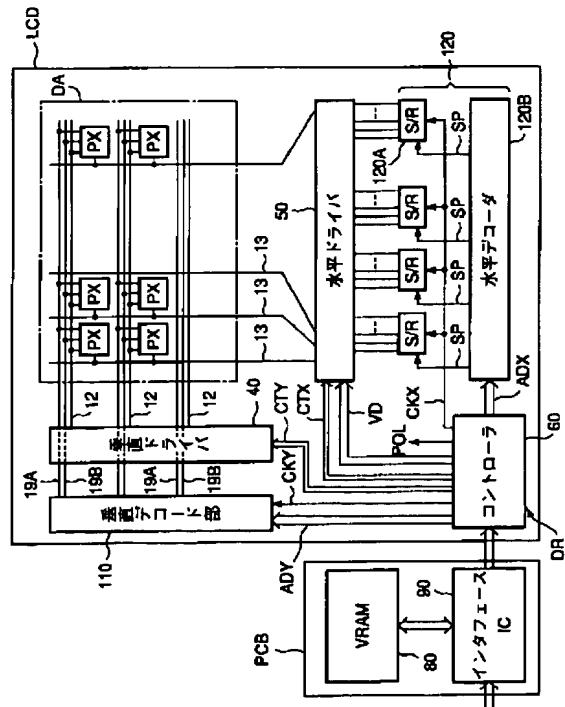
最終頁に続く

## (54)【発明の名称】 平面表示装置

## (57)【要約】

【課題】低消費電力で表示画像の一部を更新できるようにする。

【解決手段】平面表示装置はそれぞれメモリ素子15を持つ複数の表示画素PXと、これら表示画素PXの行ブロックを選択的に指定する垂直デコード部120と、表示画素の列ブロックを選択的に指定する水平デコード部110と、複数の表示画素PXのメモリ素子15にそれぞれ割り当てられる画像データを保持するビデオRAM80と、ビデオRAM80の内容が行および列ブロックアドレスで特定されるブロック単位に書き込まれるように垂直および水平デコード部110、120の動作を制御するコントローラ60とを備える。この装置は、画像データの一部がビデオRAM80内で変更されたときにこの画像データの部分用の表示画素を含む少なくとも1ブロックの表示画素に対応する書換範囲を決定し、書換範囲に含まれる各ブロックに割り当てられる画像データをコントローラ60に供給するインターフェース90を備える。



**【特許請求の範囲】**

**【請求項1】** それぞれメモリ素子を持ちこれらメモリ素子の内容に対応した画像を表示する複数の表示画素のマトリクスアレイと、前記複数の表示画素の行ブロックを選択的に指定しこの選択行ブロックに対応する表示画素のメモリ素子への書き込みをイネーブルする垂直走査回路と、前記複数の表示画素の列ブロックを選択的に指定しこの選択列ブロックに対応する表示画素のメモリ素子に画像データを書き込む水平走査回路と、外部から供給される表示画素毎のアドレスデータおよび画像データをビデオメモリに書き込み読み出すインタフェースと、前記インタフェースから供給されるアドレスデータおよび画像データを参照して前記垂直および水平走査回路の動作を制御するコントローラを備え、前記インタフェースは前記ビデオメモリ内の画像データとは異なっていて外部から供給される画像データに対応した表示画素の部分のアドレスデータを検知し、検出したアドレスデータによって特定される表示画素の部分を含む行および列ブロックを書換範囲として決定し、この書換範囲に対応する部分的画像データを前記コントローラに供給する動作モードを有することを特徴とする平面表示装置。

**【請求項2】** 前記インタフェースは前記ビデオメモリに保持される画像データの一部を更新するよう供給画像データを書き込み、書換範囲に含まれる各ブロックに割り当てられた画像データを読み出すように構成されることを特徴とする請求項1に記載の平面表示装置。

**【請求項3】** 前記インタフェースは前記ビデオメモリに保持された画像データを先行フレームの画像データとして読み出し、この先行フレームの画像データを前記インタフェースに供給される次のフレームの画像データと比較することにより画像データの変更部分を検出するように構成されることを特徴とする請求項1に記載の平面表示装置。

**【請求項4】** 前記インタフェースはパケット形式で供給される画像データを受け取るように構成されることを特徴とする請求項1に記載の平面表示装置。

**【請求項5】** 前記部分的画像データは、外部から供給される画像データとこの外部供給画像データを補完するため書換範囲に含まれる各ブロックに割り当てられた画像データから選択された画像データとの組み合わせであることを特徴とする請求項1に記載の平面表示装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は複数の表示画素がマトリクス状に配置される平面表示装置に関し、特に各表示画素が画像データを保持するメモリ素子を備える平面表示装置に関する。

**【0002】**

**【従来の技術】** 近年では、アクティブマトリクス型液晶

表示パネルが表示の美しさや、製品の信頼性の高さから、ノートPCや携帯端末機器のモニタディスプレイとして広く用いられるようになってきた。この液晶表示パネルは一般に複数の画素電極がマトリクス状に配置されるアレイ基板と、対向電極がこれら複数の画素電極に対向して配置される対向基板と、これらアレイ基板および対向基板間に保持される液晶層で構成される。アレイ基板は複数の画素電極に加えて、これら画素電極の行に沿って配置される複数の走査線、これら画素電極の列に沿って配置される複数の信号線、およびこれら走査線および信号線の交差位置近傍に配置される複数の画素スイッチを備える。各画素スイッチは対応走査線を介して駆動されたときに対応信号線の信号電圧を対応画素電極に印加するように接続される。この画素スイッチの利用により、隣接画素間のクロストークを十分低減して高コントラストの画像を得ることができる。

**【0003】** 画素スイッチは一般にアモルファスシリコンの半導体薄膜を用いた薄膜トランジスタで構成される。最近では、製造技術の進歩により、アモルファスシリコンよりも高いキャリア移動度を持つポリシリコンの半導体薄膜を形成できるようになった。この薄膜形成技術を利用すれば、画素電極用の画素スイッチだけでなく例えば垂直ドライバおよび水平ドライバをアレイ基板に組み込むことができる。

**【0004】** ところで、例えば携帯電話等の携帯端末は主にバッテリ電源により動作するため、出来る限り低消費電力であることが好ましい。このため、携帯電話の待受状態で表示画面の輝度を低下させることが一般的に行われている。最近では、さらに垂直ドライバおよび水平ドライバを停止可能な技術が知られる。この技術では、複数のメモリ素子が表示画面を構成する表示画素にそれぞれ設けられ、待受状態で同一の画像を表す画像データを保持する。垂直ドライバおよび水平ドライバは同一画像がこれらメモリ素子の内容に対応して表示される間ににおいて停止され、この結果としてディスプレイの電力消費を抑えることができる。

**【0005】**

**【発明が解決しようとする課題】** しかし、これら垂直および水平ドライバを完全に停止させてしまうと、表示画像の一部だけを更新させるようなことが困難になる。

**【0006】** 本発明の目的は、上述のような技術的課題に鑑み、低消費電力で表示画像の一部を更新することが可能な平面表示装置を提供することにある。

**【0007】**

**【課題を解決するための手段】** 本発明の一観点によれば、それぞれメモリ素子を持ちこれらメモリ素子の内容に対応した画像を表示する複数の表示画素のマトリクスアレイと、複数の表示画素の行ブロックを選択的に指定しこの選択行ブロックに対応する表示画素のメモリ素子への書き込みをイネーブルする垂直走査回路と、複数の

表示画素の列ブロックを選択的に指定しこの選択列ブロックに対応する表示画素のメモリ素子に画像データを書き込む水平走査回路と、外部から供給される表示画素毎のアドレスデータおよび画像データをビデオメモリに書き込み読み出すインタフェースと、インタフェースから供給されるアドレスデータおよび画像データを参照して垂直および水平走査回路の動作を制御するコントローラを備え、インタフェースはビデオメモリ内の画像データとは異なっていて外部から供給される画像データに対応した表示画素の部分のアドレスデータを検知し、検出したアドレスデータによって特定される表示画素の部分を含む行および列ブロックを書換範囲として決定し、この書換範囲に対応する部分的画像データをコントローラに供給する動作モードを有する平面表示装置が提供される。

【0008】この平面表示装置では、インタフェースがビデオメモリ内の画像データとは異なっていて外部から供給される画像データに対応した表示画素の部分のアドレスデータを検知し、検出したアドレスデータによって特定される表示画素の部分を含む行および列ブロックを書換範囲として決定し、この書換範囲に対応する部分的画像データをコントローラに供給するため、垂直走査回路および水平走査回路のアドレッシングが単純化される。これにより、この表示画素の部分が各ブロックの表示画素に対する画像データの書き換え用に不十分であったとしても、画像データの不足分をビデオメモリの内容で補完できる。すなわち、一アドレス形式の画像データがビデオメモリに保持された画像データの一部を更新するために外部から供給されたとき、このアドレス形式をコントローラのアドレッシングシステムに適合させることができる。従って、全表示画素のメモリ素子について書き換えを行う場合のような電力消費を必要とせずに、表示画像の一部を更新できる。

#### 【0009】

【発明の実施の形態】以下、本発明の一実施形態に係る平面表示装置について図面を参照して説明する。この平面表示装置は画面全体を更新する通常書込モードおよび画像の一部をブロック単位で更新するランダム書込モードで動作可能に構成される。

【0010】図1はこの平面表示装置の構成を概略的に示し、図2は図1に示す液晶表示パネルの表示画素の構成を示し、図3は図2に示す表示画素の部分的な断面構造を示す。

【0011】平面表示装置は複数の表示画素PXがマトリクス状に配置されてなる表示領域DAとこれら表示画素PXを駆動する駆動領域DRを備えた例えば反射型の液晶表示パネルLCDおよびこの液晶表示パネルLCDを制御する外部制御回路PCBとを備える。液晶表示パネルLCDはアレイ基板10、このアレイ基板10に対向する対向基板20、およびこれらアレイ基板10およ

び対向基板20間に挟持される光変調層として液晶層30を含む。液晶層30はアレイ基板10および対向基板20の間隙に液晶組成物を注入して封止することにより得られる。そして液晶層30の光透過率は画素電極11および対向電極22間の電位差に対応して設定される。また、アレイ基板10および対向基板20はその外側表面に偏光板PL1およびPL2を有する。

【0012】対向基板20はガラス板等の光透過性絶縁基板GL2、この絶縁基板GL2上に形成されるカラーフィルタ21、複数の画素電極11に対向してカラーフィルタ21を覆う対向電極22、および対向電極22を覆う配向膜23Bを含む。

【0013】次にアレイ基板10について説明する。アレイ基板10の表示領域DAはガラス板等の光透過性絶縁基板GL1、表示画素PXに対応して配置される複数の画素電極11、これら画素電極11の行に沿って配置される複数の走査線12、これら画素電極11の列に沿って配置される複数の信号線13、これら走査線12および信号線13の交差位置近傍に配置される複数の画素スイッチ14を有する。また、さらに表示領域DAは複数の表示画素PXの列方向に並び複数の走査線11に平行に配置される入力ゲート線19Aおよび出力ゲート線19B、信号線13および入力ゲート線の略交点付近に配置されるメモリ入力スイッチ16、メモリ入力スイッチ16に接続され対応信号線13から供給される画像データVDを保持するスタティックRAM等のメモリ素子15、メモリ素子15に極性反転回路17を介して接続されるメモリ出力スイッチ18を有する。上記画素スイッチ14およびメモリ出力スイッチ18の各々は対応画素電極11と対応走査線12に平行に配置される補助容量線とが容量結合してなる補助容量CSに接続される。通常書込モードにおいては画素スイッチ14を介して、またランダム書込モードにおいてはメモリ出力スイッチ18を介して画素電極11および補助容量CSに画像データが書き込まれる。

【0014】また、各画素スイッチ14および各メモリ出力スイッチ18はポリシリコンの半導体薄膜を用いて絶縁基板GL1上に形成される薄膜トランジスタで構成され、対応走査線12あるいは出力ゲート線19Bを介して駆動されたときに対応信号線13の信号電圧を対応画素電極11に印加するように接続される。また、対向基板20と同様に複数の画素電極11は図3に示すように配向膜23Aにより覆われる。

【0015】アレイ基板10の駆動領域DRは複数の走査線12を駆動する垂直ドライバ40、複数の信号線13を駆動する水平ドライバ50、垂直ドライバ40が単位行毎に動作するよう制御する垂直デコード部110と、水平ドライバ50が単位列毎に動作するよう制御する水平デコード部120と、これらの動作を制御するコントローラ60を有する。尚、垂直ドライバ40、水平

ドライバ50、コントローラ60、垂直デコード部110、および水平デコード部120は複数の表示画素PXにより構成される表示領域DAの外側に配置され、画素スイッチ14と同様にポリシリコンの半導体薄膜を用いた薄膜トランジスタをセグメントとして構成され、画素スイッチ14と同一工程で形成される。

【0016】また、外部制御回路PCBは液晶表示パネルLCDの外部に設けられるプリント配線板上に配置されるビデオRAM80およびインタフェースIC90により構成される。ビデオRAM80は複数の表示画素PXに書き込まれる1フレーム分のアドレスデータおよび画像データを保持する。インタフェースIC90は外部から供給されるアドレスデータおよび画像データをビデオRAM80に一旦格納し、動作モードに応じてこのビデオRAM80から順次データを抽出して液晶表示パネルLCDのコントローラ60に供給する。すなわち通常書込モードの場合には、全表示画素PXに対応するデータをコントローラ60に出力し、ランダム書込モードの場合には、書き換えるブロックに対応したデータをブロックアドレスデータ、更新用画像データとしてコントローラに出力する。

【0017】次に通常書込モードの表示動作について説明する。コントローラ60は通常書込モードで画像のフレーム期間に同期して発生される垂直スタートパルスおよび複数の垂直クロックパルスを垂直走査制御信号CTYとして垂直ドライバ40に供給する。さらにコントローラ60は例えばフレーム期間あるいは水平走査期間毎に極性反転した画像データVDと共に、画像の水平走査期間に同期して発生される水平スタートパルスおよび複数の水平クロックパルスを水平走査制御信号CTXとして水平ドライバ50に供給する。垂直ドライバ40は垂直スタートパルスをこれら垂直クロックパルスに応答してシフトすることにより順次走査線12を駆動する。他方、水平ドライバ40は水平スタートパルスをこれら水平クロックパルスに応答してシフトすることにより順次信号線13を駆動する。これにより、画像データは各行の表示画素PXが駆動される間にこれら表示画素PXの画素電極11に書き込まれ、これら画素電極11の電位を設定する。尚、メモリ入力スイッチ16およびメモリ出力スイッチ18は通常書込モードでも機能し、信号線13に供給される画像データをメモリ素子15に書き込み、この画像データの電圧を画素電極11に供給する。

【0018】次にランダム書込モードの表示動作について説明する。図5は受信画像データについて設定される書換範囲の一例を示す。外部駆動回路PCBのインタフェースICからコントローラへは書換範囲に対応するブロックのブロックアドレスデータおよび更新用画像データが供給される。図5に示す例においては斜線で示す4ブロック分の表示画素PXが書換範囲に設定され、これらブロックの先頭位置B1～B4を表すブロックアドレ

ステータおよび更新用画像データがコントローラ60に供給される。

【0019】コントローラ60はこのブロックアドレスデータに基づいて垂直アドレス信号ADYおよび水平アドレス信号ADXを発生する。そして垂直クロック信号CKYおよび垂直アドレス信号ADYを垂直デコード部110に供給し、水平アドレス信号ADXおよび水平クロック信号CKXを水平デコード部120に供給する。また、例えばフレーム期間あるいは水平走査期間のような所定周期で反転する極性反転信号POLを極性反転回路17に供給するように構成される。

【0020】これにより、垂直デコード部110は垂直アドレス信号ADYに対応する行ブロックの表示画素PXの行を順次選択して対応ゲート線19Aおよび19Bを駆動する。各行の表示画素PXが選択される間、水平デコード部120は水平アドレス信号ADXに対応する列ブロックの表示画素PXの列を順次選択して対応信号線13を駆動するように水平ドライバ50を制御する。水平ドライバ50は水平デコード部120の制御によりこの選択列の表示画素PXに対応する信号線13にコントローラ60から供給される画像データを供給する。

【0021】詳しく説明すると、水平デコード部120は複数の表示画素PXを複数の列ブロックに区分するように縦列接続された複数のシフトレジスタS/Rで構成されるシフトレジスタ回路120Aおよび水平アドレス信号ADXをデコードする水平デコーダ120Bを含む。水平デコーダ120Bは水平アドレス信号ADXに対応するシフトレジスタS/Rに走査パルスSPを出力する。このシフトレジスタS/Rは水平クロック信号CKXに応答して走査パルスSPをシフトし、列ブロックの表示画素数に対応する数の信号線13を順次駆動するよう水平ドライバ50を制御する。

【0022】垂直デコード部110はこの水平デコード部120とほぼ同様に構成され、複数の表示画素PXを複数の行ブロックに区分するように縦列接続された複数のシフトレジスタで構成されるシフトレジスタ回路および垂直アドレス信号ADYをデコードする垂直デコーダを含む。垂直デコーダは垂直アドレス信号ADYに対応するシフトレジスタに走査パルスを出力する。このシフトレジスタは垂直クロック信号CKYに応答してこの走査パルスをシフトし、行ブロックの表示画素数に対応する入力ゲート線19Aおよび出力ゲート線19Bを順次駆動する。ここで、入力ゲート線19Aおよび出力ゲート線19Bは相補的な電位関係に設定される。

【0023】表示画素PXでは、画素スイッチ14がオフした状態で、メモリ入力スイッチ16は入力ゲート線19Aを介して駆動され、メモリ出力スイッチ18は出力ゲート線19Bを介して駆動される。極性反転回路17はコントローラ60からの極性反転信号POLにより制御される。

【0024】こうしてメモリ入力スイッチ16がメモリ出力スイッチ18に先行して導通し、信号線13上の画像データをメモリ素子15に書き込む。この書き込みが完了すると、メモリ出力スイッチ18がメモリ入力スイッチ16に代わって導通する。これにより、画像データがメモリ素子15から極性反転回路17を介して画素電極11に供給される。極性反転回路17は画像データの電圧極性を周期的に反転する。

【0025】上述のような構成では、一旦通常書込モードで画像全体を表示した後、ランダム書込モードでこの画像の一部を更新することができる。ランダム書込モードでは、コントローラ60がクロック信号の供給を制御することにより垂直ドライバ40および水平ドライバ50の動作を部分的に停止あるいは制限することができる。

【0026】次に、画像データ源となるコンピュータセット側から外部駆動回路PCBへのデータの伝送について説明する。コンピュータセット側から外部制御回路PCBへ伝送されるデータは、例えば図4に示すようなパケット形式で伝送される。ここでは例えばR、G、Bに対応する3つの表示画素PX(1ドット分)を1組にして伝送され、アドレスデータと画像データがそれぞれ伝送される。

【0027】例えば、コンピュータセット側から外部駆動回路PCBへのデータ伝送が、通常書込モードとランダム書込モードによって切り替えられ、通常書込モードにおいては全表示画素分のデータがパケット形式で伝送され、ランダム書込モードにおいては前のフレームと比較変更される部分のデータ(以下、受信データをよぶ)のみがパケット形式で伝送される。インタフェースICは表示画素PXを行および列ブロック単位で書き換えるためにビデオRAM80に格納された画像データの一部を受信データで更新し、この受信データが割り当てられる表示領域を含む表示画素PXの行および列ブロックを特定する書換範囲に対応する部分的な画像データをコントローラ60に出力する。

【0028】図6はランダム書込モードで行われるインタフェースIC90の動作を詳細に示す。インタフェースIC90はステップST1でビデオRAM80に保持された画像データの一部を受信データにより更新し、ステップST2で受信データのためのアドレスデータに基いて行および列ブロックを特定する書換範囲を決定し、ステップST3で書換範囲に対応する部分的画像データVDの各ブロックを読み出し、この部分的画像データVDのブロックをこれに割り当てられたブロックアドレスデータと一緒にコントローラ60に供給する。受信データの表示領域は書換範囲の一部にすぎないため、受信データの不足分がビデオRAM80の内容により補完される。

【0029】本実施形態の平面表示装置では、垂直デコ

ード部110および水平デコード部120のアドレッシングはブロック単位で表示画素の書換範囲を指定することにより単純化される。他方、インタフェースIC90はこのようなブロック単位の書き換えで不足する画像データをビデオRAM80の内容で補うため、書換を正常に行うことが可能である。すなわち、外部から供給される部分的画像データのアドレッシング形式とコントローラのアドレッシングシステムとの整合を取りができる。これにより、全表示画素PXのメモリ素子15について書き換えを行う場合のような電力消費を必要とせずに、表示画像の一部を更新することが可能となる。

【0030】本発明は上述の実施形態に限定されず、様々な変形可能である。

【0031】例えば上述の実施形態においては動作モードに合わせてコンピュータセット側からインタフェースIC90へのデータ転送が異なる場合について説明したが、動作モードによらず1フレーム分のデータがコンピュータセット側からインタフェースIC90に伝送されるものであってもよい。この場合、インタフェースIC90ではビデオRAM80に格納されている前のフレームを読み出すと共に、伝送されてきたデータをビデオRAM80に格納する。そして前のフレームの画像データとの次のフレームの画像データと比較し、変更部分を検出する。そして変更部分に基づき通常書込モードあるいはランダム書込モードで動作するよう制御する。この制御にあたっては、平面表示装置の用途によって適宜設定することが望ましい。ランダム書込モードで動作する場合には、変更部分を含む全ブロックの表示画素PXに対応する画像データをブロックアドレスデータと共にコントローラ60に供給する。

【0032】このように、ランダム書込モードを行う場合には、ブロック単位で変更箇所を更新することが可能となり、外部駆動回路PCBおよび液晶表示パネルLCD間のデータ転送に掛かる消費電力を低減することが可能となる。また、液晶表示パネルLCD内においては、変更するブロックに対応する駆動回路のみを部分的に動作させることができ、さらに消費電力を低減することができる。

【0033】また、ランダム書込モードが所定時間以上続く場合には、画像の変更箇所が表示領域DAの一部であっても周期的に全表示画素PXの書換えを行ってよい。

【0034】また、上述の実施形態は液晶表示パネルLCDを用いた平面表示装置について説明したが、アクティブラトリクス型の表示装置全般に適用することができ、例えば有機EL表示パネルに適用することもできる。

【0035】例えば、有機EL表示パネルに適用する場合には、図2に示す極性反転回路17が不要となり、図7に示すような表示画素Pを用いて構成することができ

る。この例では、表示画素Pが有機EL発光素子P1、電源端子VDDおよびVSS間で有機EL発光素子P1に直列に接続されるPチャネル薄膜トランジスタである駆動トランジスタP2、および駆動トランジスタP2のゲート・ソース間に接続されるコンデンサP3を有する。また、図8に示すように構成して配線数を削減することもできる。この例では、オアゲート回路MXが垂直デコード部110により駆動されるゲート線19Aおよび垂直ドライバ40によって駆動される走査線12と共に通化するように接続される。このオアゲート回路MXの出力線12'はNチャネル薄膜トランジスタで構成される画素スイッチ14のゲートおよびPチャネル薄膜トランジスタで構成されるメモリ出力スイッチ18'のゲートに接続され、メモリ素子15がこれら画素スイッチ14およびメモリ出力スイッチ18'間に接続される。オアゲート回路MXの出力線12'が高レベルに立ち上がると、画素スイッチ14が導通しメモリ出力スイッチ18'が非導通となる。これにより、画像データが信号線13から画素スイッチ14を介してメモリ素子15に書き込まれる。また、オアゲート回路MXの出力線12'が低レベルに立ち下がると、画素スイッチ14が非導通となりメモリ出力スイッチ18'が導通する。これにより、画像データがメモリ素子15からメモリ出力スイッチ18'を介して駆動トランジスタP2のゲートに供給される。

## 【0036】

【発明の効果】以上のように本発明によれば、低消費電力で表示画像の一部を更新することが可能な平面表示装

置を提供することができる。

## 【図面の簡単な説明】

【図1】本発明の一実施形態に係る平面表示装置の構成を概略的に示す回路図である。

【図2】図1に示す液晶表示パネルの表示画素の構成を示す回路図である。

【図3】図2に示す表示画素の部分的な断面構造を示す図である。

【図4】図1に示すインターフェースICに外部から供給されるパケットのフォーマットを示す図である。

【図5】図4に示す受信画像データについて設定される書換範囲を示す図である。

【図6】図1に示すインターフェースICがランダム書込モードで行う動作を詳細に示すフローチャートである。

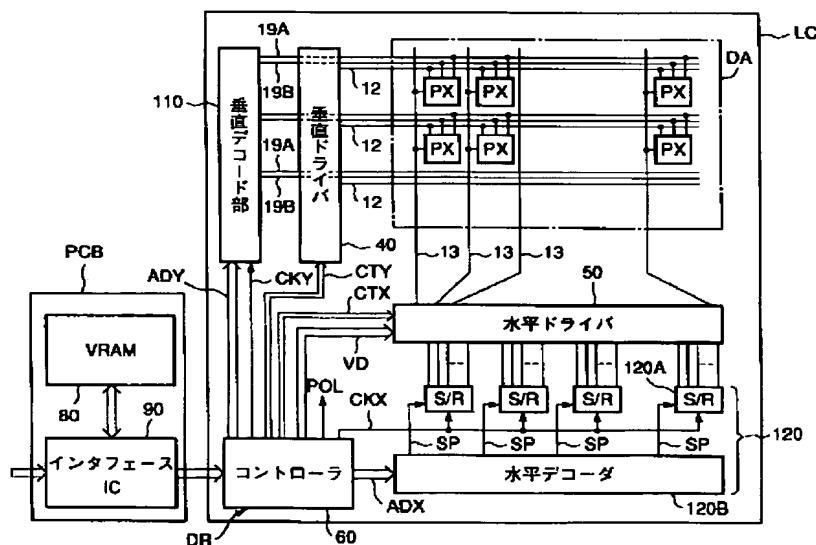
【図7】図1に示す平面表示装置の第1変形例に係る有機ELパネルの表示画素の構成を示す回路図である。

【図8】図1に示す平面表示装置の第2変形例に係る有機ELパネルの表示画素の構成を示す回路図である。

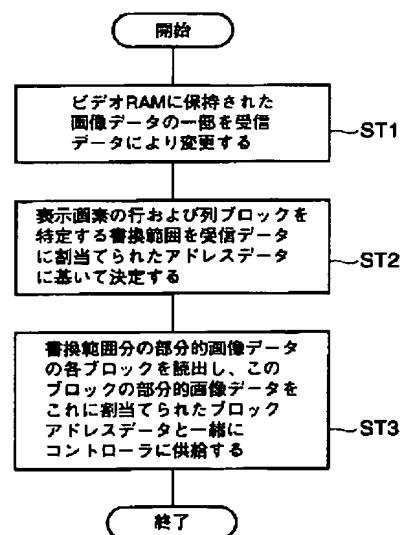
## 【符号の説明】

- PX…表示画素
- 10…アレイ基板
- 12…走査線
- 13…信号線
- 60…コントローラ
- 80…ビデオRAM
- 90…インターフェースIC
- 110…垂直デコード部
- 120…水平デコード部

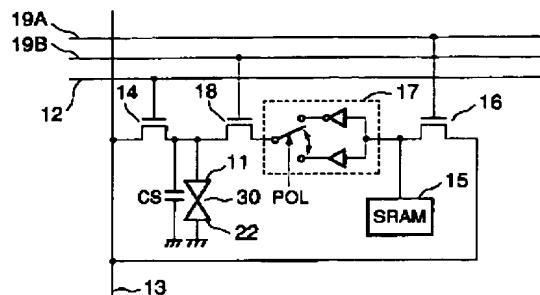
【図1】



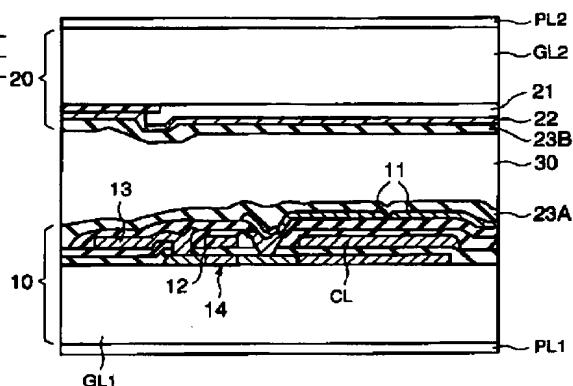
【図6】



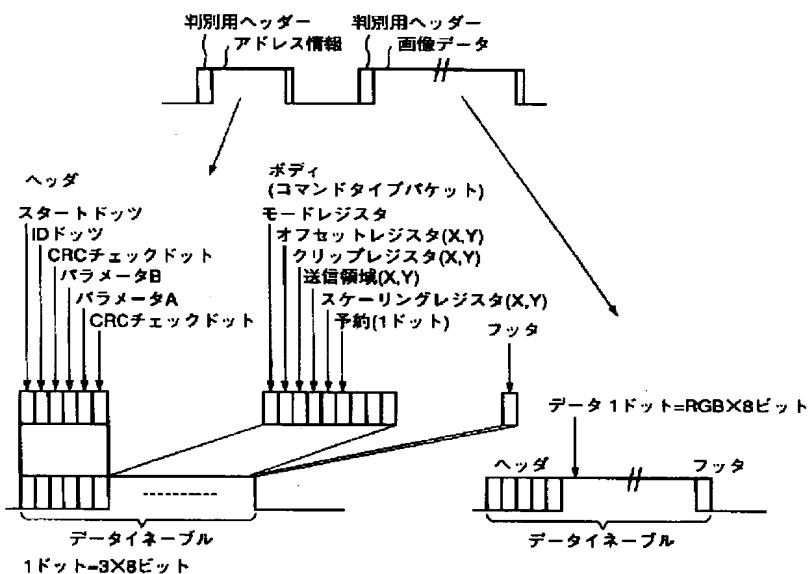
【図2】



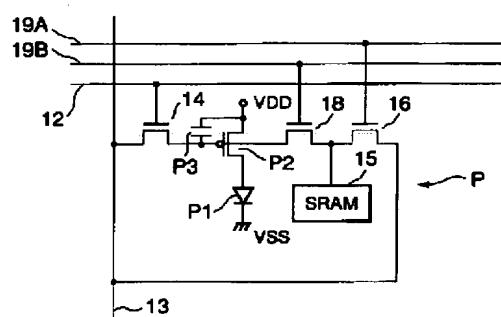
【図3】



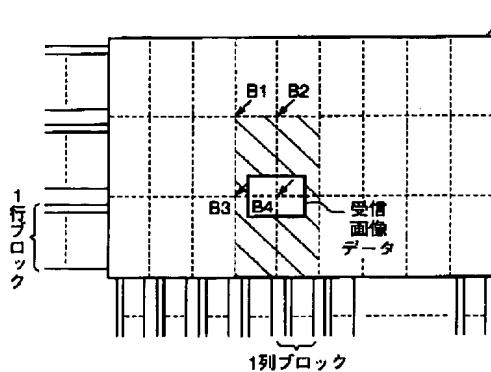
【図4】



【図7】



【図5】



【図8】

フロントページの続き

(51) Int. C1.7	識別記号	F I	「マコト」(参考)
G 0 9 G 3/20		G 0 9 G 3/20	6 1 2 U
	6 2 1		6 2 1 D
	6 2 4		6 2 1 E
	6 3 1		6 2 4 B
			6 3 1 B

F ターム(参考) 2H093 NA11 NA16 NC28 NC34 NC40  
                     NC50 NC71 ND39 NE10 NG20  
                     5C006 AA01 AC11 AF03 AF04 AF31  
                     AF44 AF45 AF51 AF53 AF61  
                     AF69 AF71 BB16 BC03 BC11  
                     BC16 BF02 BF16 FA47  
                     5C080 AA05 AA06 AA10 BB05 DD26  
                     EE19 GG12 JJ02 JJ05 JJ07